

Annexe A5.1.

Les bascules

(Compléments)

A5.1.1. Bascule RS asynchrone (verrou de type RS)

La bascule RS possède deux entrées de commande :

- Une entrée de mémorisation ($S \Rightarrow \text{SET}$),
- Une entrée d'effacement de la mémoire ($R \Rightarrow \text{RESET}$)

Elle possède également deux sorties complémentaires Q et \bar{Q} .

Cet opérateur de base de la logique séquentielle est représenté symboliquement par la figure suivante :

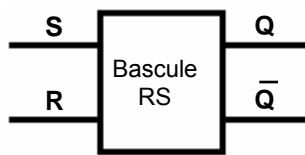


Fig. A5.1-1

La table de vérité de cette bascule est donnée par le tableau ci-dessous :

R	S	Q_{n+1}	$\overline{Q_{n+1}}$	
0	0	Q_n	$\overline{Q_n}$	↔ Etat mémoire
0	1	1	0	
1	0	0	1	
1	1	∅	∅	↔ Etat indéterminé

Les valeurs Q_n et Q_{n+1} sont respectivement les états de sortie avant et après la modification de l'état de l'entrée.

Il existe deux types de bascules RS asynchrones :

- Les bascules à déclenchement prioritaire pour lesquelles $\emptyset = 0$. Ils sont réalisés par l'association d'opérateurs OU complété (NOR)

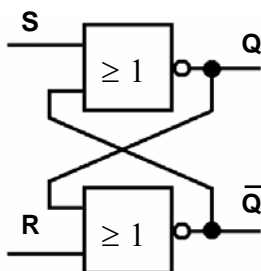


Fig. A5.1-2

R	S	Q_{n+1}	$\overline{Q_{n+1}}$	
0	0	Q_n	$\overline{Q_n}$	↔ Etat mémoire
0	1	0	1	
1	0	1	0	
1	1	0	0	↔ Etat 0 prioritaire

- Les bascules à enclenchement prioritaire pour lesquelles $\emptyset = 1$

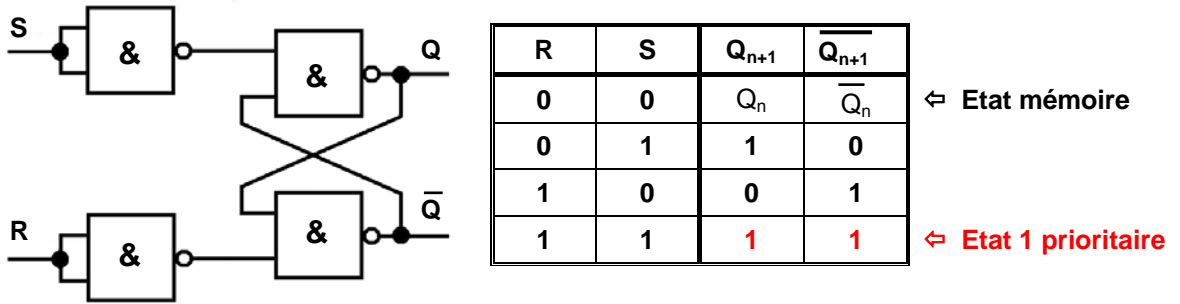


Fig. A5.1-3

Le fonctionnement des deux types de bascules est identique sauf pour la combinaison $R = S = 1$ (demande de mise à 1 et de remise à zéro simultanée). Cet état n'est en principe pas utilisé toutefois, dans des cas rares, il faut l'envisager par exemple dans les automatismes de mise en marche et d'arrêt pour une machine outil. La sécurité des personnes impose d'utiliser des bascules RS à 0 prioritaire ainsi en cas d'accident, l'appui sur les boutons marche et arrêt provoque l'arrêt.

Remarque :

Certains dispositifs de sécurité imposent le contraire, c'est le cas de systèmes d'alarme ou de dispositifs anti-explosion ou anti-incendie. En effet, dans ce cas l'émission simultanée des ordres de marche et d'arrêt doit entraîner la marche. On utilisera alors un verrou RS de type NAND.

Attention :

Le verrou de type NAND est souvent constitué de seulement 2 portes NAND, les entrées sont alors active à l'état bas (parfois appelé bascule R S).

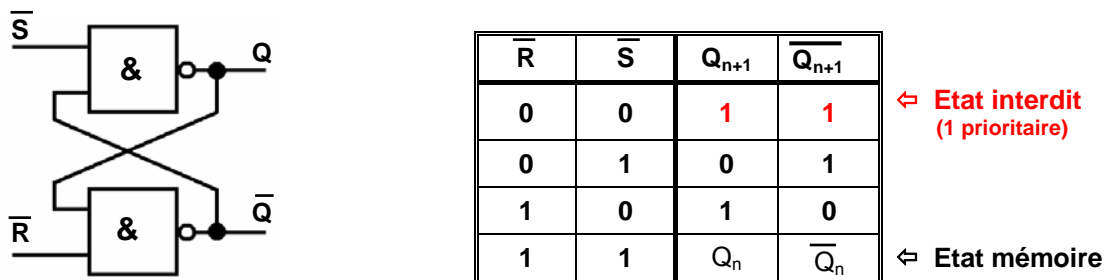


Fig. A5.1-4

Application :

La bascule RS est souvent utilisée associée à des boutons poussoirs, afin d'éviter les problèmes de rebonds (anti-rebonds). Elle permet la mise en marche et l'arrêt d'un dispositif par des actions fugitives, l'état mémoire permet de maintenir la marche ou l'arrêt alors qu'il n'y a plus de boutons actionnés (ou de signaux de commande actifs).

La figure ci-dessous représente le schéma de principe d'un tel dispositif et le chronogramme correspondant.

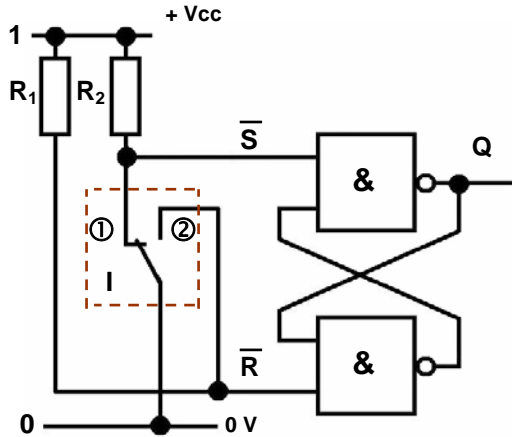


Fig. A5.1-5a

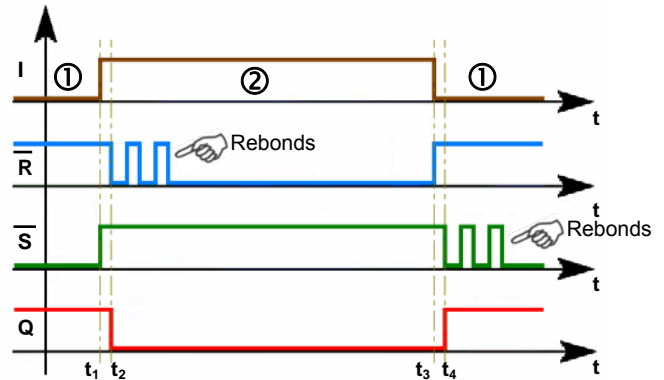


Fig. A5.1-5b

A5.1.2. Bascule RST ou RS latch ou encore RS synchronisé

Le basculement de la bascule ne peut s'effectuer qu'à un instant précis périodique correspondant à la présence d'un signal impulsionnel de fréquence fixe nommé signal d'horloge. La largeur de chacune des impulsions est supposée petite devant la période T du signal.

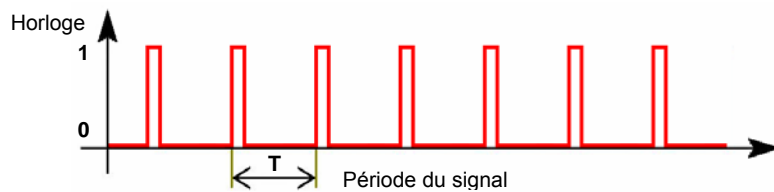


Fig. A5.1-6

L'étage de synchronisation est un circuit combinatoire. Dans le cas de la figure ci-dessous, il s'agit d'une synchronisation sur les entrées. La prise en compte de l'état des entrées s'effectue lorsque le signal de l'horloge est au niveau haut (état 1). Ensuite, l'état de chacune des sorties reste bloqué pendant l'intervalle de temps séparant deux impulsions.

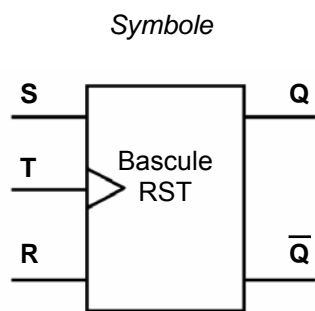


Fig. A5.1-7a

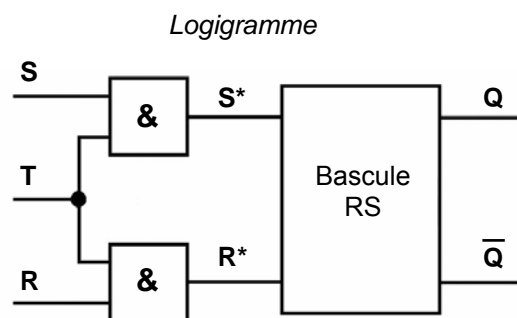


Fig. A5.1-7b

Il existe des circuits qui possèdent une synchronisation sur les sorties, ou encore synchronisation à l'affichage.

Les entrées d'un circuit séquentiel dont l'action est conditionnée par l'état d'un signal de contrôle se nomment des entrées statiques ou synchrones, c'est le cas de la bascule latch. Celles dont l'effet sur l'état du circuit est immédiat sont des entrées dynamiques (cas de la bascule RS).

Notons enfin que la table de vérité de cette bascule est identique à celle de la bascule RS, c'est-à-dire les sorties Q et Q-bar passent toutes les deux à 1 si les entrées R et S passent simultanément à 1 pendant la présence du signal d'horloge. Cet état est instable et ne persiste pas lorsque le signal de commande revient à 0. L'état final est indéterminé car il dépend des vitesses relatives des portes constituant la bascule.

A5.1.3. Bascule D

La bascule D est en fait une bascule RST où l'entrée R est le complément de S : $R = \overline{S}$. Le schéma de ce type de bascule est donné par la figure suivante :

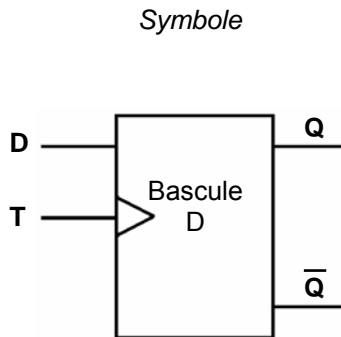


Fig. A5.1-8a

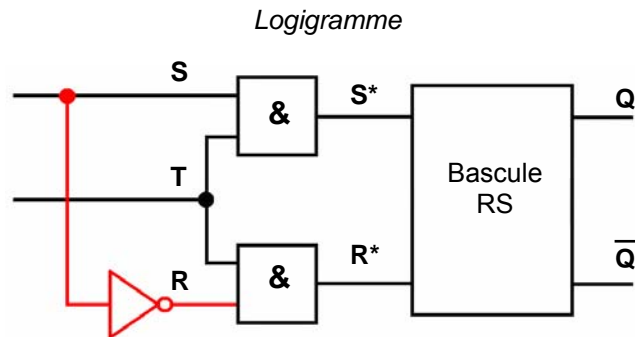


Fig. A5.1-8b

La contrainte est la même que celle de la bascule précédente : en effet, si l'entrée variait alors que $T = 1$, le temps de propagation dans la porte NON interviendrait, et l'état des sorties ne serait pas défini. Le fonctionnement de cette bascule est en fait très simple, puisqu'il ne s'agit que d'une propagation de l'information. Quand $T = 1$ on obtient :

- si $D = 0$, la sortie Q passe à 0 ;
- si $D = 1$, la sortie Q passe à 1.

A5.1.4. Bascule JK

La bascule JK permet de lever l'ambiguïté qui existe dans la table de vérité de la bascule RS. Ceci peut être obtenu en asservissant les entrées R et S aux sorties \overline{Q} et Q selon le schéma logique suivant :

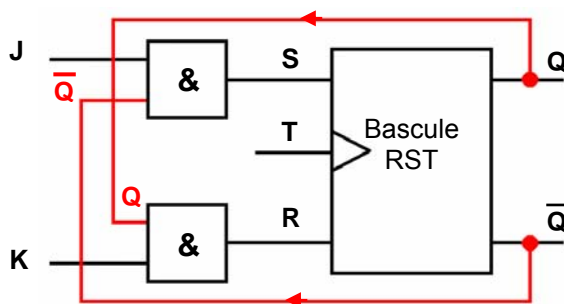


Fig. A5.1-9

J	K	Q_{n+1}	$\overline{Q_{n+1}}$	
0	0	Q_n	$\overline{Q_n}$	⇔ Etat mémoire
0	1	0	1	
1	0	1	0	
1	1	$\overline{Q_n}$	Q_n	⇔ Etat mémoire

Remarque :

Les bascules D et JK possèdent souvent 2 entrées supplémentaires d'initialisation. L'une de remise à 0 (RESET = R ou Clear = Clr) et une de mise à 1 (SET = S ou Preset = Pre). Ces entrées sont asynchrones par rapport au signal d'horloge.

Afin d'éliminer l'aléa du cas de fonctionnement lorsque les entrées de commande sont simultanément à 1, il existe des modèles de bascule où les modifications en sortie ne peuvent s'effectuer qu'aux moments des fronts de l'horloge de synchronisation (montants ou descendants). La détection du front se fait au passage à une tension prédéfinie (par exemple 1,3 V en logique TTL Std). Les états des entrées pris en compte sont ceux qui existent au moment du front.

A5.1.5. Les bascules maître-esclave (Master-Slave)

Ces bascules sont constituées de deux parties appelées maître et esclave. Le fonctionnement se fait en deux temps :

1. lorsque le signal d'horloge est à l'état haut ($T = 1$), la bascule maître est active, la bascule esclave est bloquée (les sorties sont alors figées) mais la bascule maître suit les évolutions des entrées.
2. lorsque le signal d'horloge revient à l'état bas ($T = 0$), il y a blocage de la bascule maître (état juste précédent le front descendant sur T), la bascule est alors transparente.

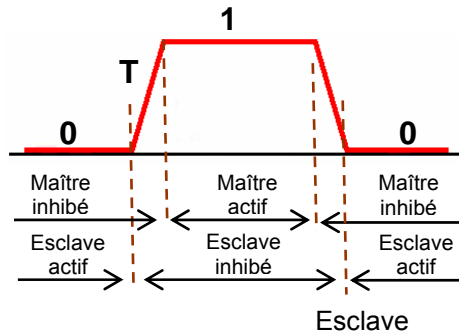


Fig. A5.1-10

Il existe des bascules maître-esclave avec verrouillage des données (data lock-out). Les entrées sont prises lors d'un front montant de l'entrée d'horloge, les sorties changent sur le front descendant.

La figure ci-dessous donne le schéma de principe d'une bascule JK maître-esclave.

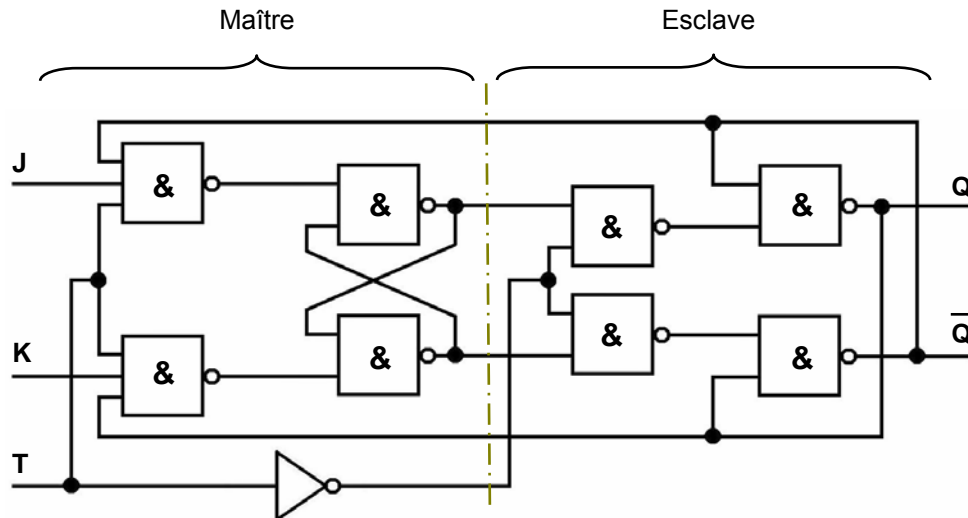


Fig. A5.1-11